

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-190831

(43)公開日 平成5年(1993)7月30日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/06		7377-4M		
21/336				
29/784				
	9168-4M		H 0 1 L 29/ 78	3 2 1 Z

審査請求 未請求 請求項の数 3 (全 11 頁)

(21)出願番号 特願平4-5693

(22)出願日 平成4年(1992)1月16日

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 村上 善則

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

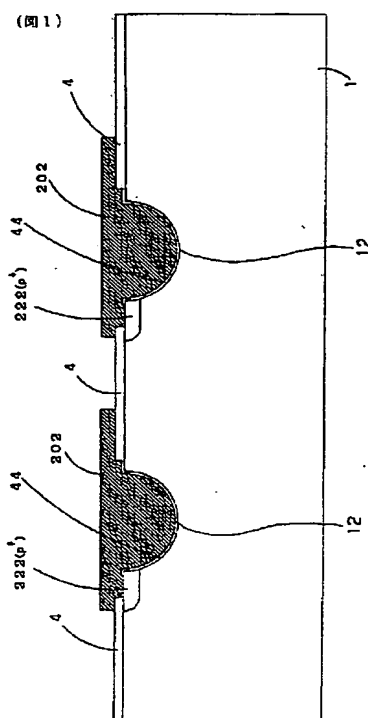
(74)代理人 弁理士 中村 純之助 (外1名)

(54)【発明の名称】 ガードリング

(57)【要約】

【目的】製造工程の時間を短縮し、短時間で安価に形成することのできるガードリングを提供する。

【構成】従来のごとき熱拡散によるガードリングの代わりに、半導体基体にエッチング等によって溝12を形成し、その溝12の内面に設けられた絶縁膜44に接して該溝の内部に導体202を形成し、かつ、上記半導体基体表面に形成され、溝12に接すると共に導体202と導通する第2導電型領域を設けた構造のガードリングとすることにより、従来の大きな曲率半径のガードリングを得るための熱拡散に要していた長い時間とコストを大幅に低減することができる。



Best Available Copy

1

【特許請求の範囲】

【請求項1】第1導電型半導体基体の一主面において素子形成領域を囲んでリング状をなし、かつ上記主面に垂直な方向の横断面形状が所定の曲率の曲線からなる溝と、

該溝の内面に設けられた絶縁膜に接して該溝の内部に形成された導体と、

上記半導体基体表面に形成され、上記溝に接すると共に上記導体と導通する第2導電型領域と、

を有することを特徴とするガードリング。

【請求項2】第1導電型半導体基体の一主面において素子形成領域を囲んでリング状をなし、かつ上記主面に垂直な方向の横断面形状が所定の曲率の曲線からなる溝と、

該溝の内面に接して形成された浅い高濃度の第2導電型領域と、

を有することを特徴とするガードリング。

【請求項3】第1導電型半導体基体の一主面において素子形成領域を囲んでリング状をなし、かつ上記主面に垂直な方向の横断面形状が所定の曲率の曲線からなる溝と、

該溝の内部に形成され、上記半導体基体とショットキー接合する金属と、

を有することを特徴とするガードリング。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子のガードリング、すなわち縦型パワー素子のチップ周辺部等に設ける電界緩和構造に関する。

【0002】

【従来の技術】従来のガードリングと呼ばれる縦型パワー素子の周辺部の電界緩和構造は、素子形成領域を囲んで形成されたリング状の、基板と反対導電型の不純物領域からなり、それを複数組み合わせた構造である。図11および図12は典型的なガードリングを持つnチャネル縦型パワーMOSチップの構造を模式的に示した図である。すなわち、図11はチップを上からみたときのパターンであり、素子形成領域を囲んで3本のガードリング2が設けられている。また、図12は図11のA-A断面構造を示している。したがって、図12の左側はチップの内側方向、右側はチップの周辺方向に相当する。図12において、1はn型ドレイン領域、11はドレイン電極、5は絶縁ゲート電極、6はp型領域、7はn+ソース領域であり、これらが構成する図中のA領域がパワーMOS部分である。また、2はp型領域からなるガードリング、33はソース電極、4は層間絶縁膜であり、図中のC領域がガードリング構造である。

【0003】次に、図12のパワーMOSの遮断状態における空乏層の様子を説明する。図12中の破線9はドレイン電圧が比較的小さい場合の空乏層端を示してい

(2)

2

る。パワーMOSの本体領域には円筒形や球形の接合面を持つ構造が存在するが、この下の領域ではこれらが密集しているために空乏層端はほぼ平坦で、電界分布並びに耐圧は平行平板型のpn接合の場合とほぼ同等と考えることができる。これに対して空乏層端面が湾曲している部分（図12中のB領域）では電界分布が異なり、印加電圧が同じでも接合面における電界集中が強く空乏層幅も狭いので、耐圧は平行平板接合より低くなる。したがって、ガードリングのような電界を緩和する構造を持たなければ、この領域で素子のブレイクダウンが起こり、耐圧は格段に低くなる。それぞれのガードリングは、曲面接合という点では図12中のB領域と同様に耐圧は低いが、これらを図11および図12に示すように何本か組み合わせて電界を分散することにより、周辺領域にも平行平板pn接合の耐圧と同等の耐圧を持たせることができる。

【0004】以下、ガードリングが電界を緩和する仕組みについて説明する。図13および図14は、チップにおいて図12中のC領域と同様の部分を示しており、図13はガードリングが1本の場合、図14はガードリングが3本の場合を示している。各リングは同じ断面形状をしており、接合面は半円形である。図13および図14の一番左側（すなわち一番内側）のリングは接地されており、他のリングはどの電極にも接続されていないものとする。図13のようにガードリングが1本しか存在しないとすると、空乏層端は破線91で示すように接合面と同心円状に広がる。電界分布は接合面で最大、空乏層端で0である。また、図13の素子の上（図面の上部）には電界分布の状況を模式的に示している。接合面における最大電界が或る値以上になるとブレイクダウン現象が生じる。そしてガードリングのブレイクダウン電圧（耐圧）は、ほぼ接合の曲率半径によって決まる。これに対して、図14に示すように、ブレイクダウンが生じる前に空乏層が次のガードリングに到達すれば2つのガードリング間の電位は固定され、電極間にさらに電圧が印加されてもガードリング間の電界は増加せず、空乏層は次のリングから広がり始める。このため図14の素子耐圧は図13の耐圧よりも数10%高くなる。このようにして何本かのガードリングを最適に配置することにより、素子の周辺部の耐圧を所望の耐圧まで高めることができる。

【0005】

【発明が解決しようとする課題】従来のガードリングは、表面の限定された領域からの不純物拡散で形成され、接合面の断面はほぼ半円形で接合面の曲率半径は大体接合深さ x_j と同じである。このように円弧形の接合の耐圧は、接合深さすなわち接合の曲率半径によってほぼ決まる。そして曲率半径が大きいほど平行平板pn接合に近づくので耐圧は増加するが、周辺部の耐圧確保に必要な大きな接合深さ x_j のpn接合を形成するには長

時間の熱拡散を要する。たとえば1000V耐圧のパワー素子を例にとると、必要なガードリングの接合深さ x_j は10 μ m程度であり、これを形成するためには基板を20 Ω -cmのn型半導体とした場合に、この表面に $5 \times 10^{15}/\text{cm}^2$ のボロンをイオン注入し、1100℃にて24時間もの熱処理を必要とする。上記のように従来のガードリング構造においては、その形成に長時間の熱拡散工程を必要とするので、製造に時間が掛かり、コスト高になるという問題があった。

【0006】本発明は、上記のごとき従来技術の問題を解決するためになされたものであり、製造工程の時間を短縮し、短時間で安価に形成することのできるガードリングを提供することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するため、本発明においては、特許請求の範囲に記載するように構成している。すなわち、請求項1に記載の発明においては、第1導電型半導体基体の一主面において素子形成領域を囲んでリング状をなし、かつ上記主面に垂直な方向の横断面形状が所定の曲率の曲線からなる溝と、該溝の内面に設けられた絶縁膜に接して該溝の内部に形成された導体と、上記半導体基体表面に形成され、上記溝に接すると共に上記導体と導通する第2導電型領域と、を備えるように構成している。なお、この構成は後記第1の実施例に相当する。

【0008】また、請求項2に記載の発明においては、上記と同様の溝と、該溝の内面に接して形成された浅い高濃度の第2導電型領域と、を備えるように構成している。なお、この構成は後記第2および第3の実施例に相当する。

【0009】また、請求項3に記載の発明においては、上記と同様の溝と、該溝の内部に形成され、上記半導体基体とショットキー接合する金属と、を備えるように構成している。なお、この構成は後記第4の実施例に相当する。

【0010】

【作用】上記のごとき、本発明においては、従来のごとき熱拡散によるガードリングの代わりに、半導体基体にエッチング等によって溝を形成し、その溝の内部にMOS構造、もしくは浅い拡散によるp+n接合、もしくはショットキー接合を形成してガードリングとすることにより、従来の大きな曲率半径のガードリングを得るための熱拡散に要していた長い時間とコストを大幅に低減することができる。例えば、従来の構造で、拡散深さ $x_j = 10\mu\text{m}$ のガードリングを形成する場合には24時間程度の熱処理を必要としたが、エッチングによる本発明の構造によれば、10分間程度で10 μm の溝をエッチングすることができるので、ガードリングの形成にかかっていた時間とコストを大幅に低減することができる。

【0011】

【実施例】図1は、本発明の第1の実施例の構造断面図であり、チップの中では前記図12のC領域と同じ位置、すなわちガードリングの部分のみを示す。したがって、ここでは図の左側がチップの中心方向、右側が外周方向となる。なお、以下の実施例図も同じである。図1において、1はドレイン領域であるn型半導体基体、12はエッチングによって設けた溝、4と44は絶縁膜、202はアルミニウムもしくは導電性多結晶半導体などの導体である。また、222はp+領域であり、絶縁膜44に接し、かつ導体202とも導通している。導体202の埋め込まれている溝12の断面形状は、図示のごとく円弧形をしており、図12のpn接合によるガードリングの接合面と同様の曲率半径を持っている。なお、半導体基体の主面側から見たガードリングの平面形状は、前記図11と同様に素子形成領域を囲むリング状をしている。

【0012】次に、作用を説明する。前記図13および図14と同様に、図の左側から空乏層が広がってきた場合に、空乏層がp+領域222に触れると、これに接続する導体202の電位が固定される。この様子は図13および図14の説明と同じである。さらに電圧が印加されて空乏層が広がると、空乏層は図中のガードリング表面からも広がり始める。通常、MOS構造に空乏層が形成されるような電圧が印加されると、或る条件から絶縁膜表面に少数キャリアによる反転層が形成され、電圧が高くなっても空乏層は伸びず、反転層の存在によって絶縁膜に過剰な電圧がかかって絶縁膜を破壊する。しかし、この場合p+領域222が絶縁膜表面に接して導体202として導通しているため、絶縁膜44の裏面は同電位に保たれ、空乏層はpn接合の場合と同様な広がり方をする。

【0013】また、図1においては導体202が溝12の外側にはみ出して絶縁膜4の上にも存在している。この構造はフィールドプレート構造といい、リング周辺の電界をさらに緩和する効果がある。勿論、導体202は溝12の内壁のみに存在する構造でも構わない。

【0014】次に、本実施例の製造方法を図2～図7に基づいて説明する。まず、図2に示すように、半導体基体1の表面に絶縁膜4を形成し、この上にフォトリソトパターン80を形成して絶縁膜4の一部を除去し、等方性ドライエッチングによって半導体基体1をエッチングする。エッチングを進めると半導体基体1は図2に示すように円弧形にエッチングされ、溝12が形成される。エッチング面の曲率はエッチング深さによって決まる。次に、弗酸系エッチング液によって絶縁膜4の溝12の上部に底になった部分を除去し、フォトリソトパターン80も除去する。さらに、図3に示すように、別のレジストパターン81を形成して絶縁膜4の一部を除去し、p+領域222形成用のボロンをイオン注入する。次に、レジストパターン81を除去し、熱酸化によ

って絶縁膜44を形成し、同時に先のボロンイオンを活性化させてp+領域222を形成する。この状態が図4である。次に、図3と同様の処理によって絶縁膜44の一部を除去し、p+領域222とこれから作る導体202とのコンタクト窓を開ける。そして導体202を形成し、パターニングして図1の構造を完成させる。なお、溝形成用のフォトリソist80以外は、素子本体の形成と同時に処理することが可能である。

【0015】また、図5に示すように、図2のエッチングの前に、イオン注入によってドレイン領域表面にダメージ層を形成し、等方性エッチングの際に過剰なサイドエッチを生じさせて図6に示すような形状を作ることでもできる。このようにすると深くエッチングしなくても曲率半径の大きな溝を形成することができるので、工程時間を短縮することができる。なお、図6においては、外側のみ曲率半径が大きくなるように溝13を形成した。これはリングの内側は、さらに内側から空乏層が到達してくる部分であり、強い電界がかからないので曲率半径を小さいままとし、スペースの節約を図ったものである。勿論、図5の工程でダメージ層をリングの内側にも入れて図7に示すような形状の溝14を形成してもよい。いずれの方法によっても浅いエッチングで大きな曲率半径を得ることができる。

【0016】次に、図8は、本発明の第2の実施例の構造断面図である。この実施例は大きな曲率半径の深い拡散の代わりに、前記図2と同様の方法によって形成した溝の内壁に、浅いp+拡散層22を形成したものである。p+領域22は気相拡散法などによって壁面から均一な厚さに形成することができる。

【0017】図8の構造における円弧形溝の内部には、さらに金属などの導体を埋め込んでもよい。例えば、図9に示す構造（第3の実施例）は、図8の溝の内部に導体202を形成した例である。導体202は例えばアルミニウムなどの金属でもよいし、導電性の多結晶半導体膜などでもよい。

【0018】この構成によれば、前記第1の実施例よりもガードリングの周方向の抵抗が低くなり、ガードリングの全域にわたってガードリングの電位を一定に保つことができる。また、この構造においても導体202をガードリングの外周方向にはみ出させて絶縁膜4の上にも残すことにより、フィールドプレートの構造とすることができる。

【0019】次に、図10は、本発明の第4の実施例の断面構造図である。この実施例は、溝の内部に直接に導体202を設け、図1におけるp+領域222とドレイン領域1との間のpn接合の代わりに、ショットキー接合を形成したものである。ショットキー接合は、強い電界がかかるとブレイクダウン条件以下の電界でもかなりの漏れ電流が流れるが、リング間隔を狭めてそれぞれのリングにかかる最大電界を小さくしてやれば十分使用に

耐える。

【0020】上記のように、本発明においては、従来の大きな曲率半径のガードリングを得るための熱拡散が不要となるので、製造時間とコストを大幅に低減することができる。例えば、従来の構造で、拡散深さ $x_j=10\mu\text{m}$ のガードリングを形成する場合には24時間程度の熱処理を必要としたが、エッチングによる本発明の構造によれば、10分間程度で $10\mu\text{m}$ の溝をエッチングすることができるので、ガードリングの形成にかかっていた時間とコストを大幅に低減することができる。

【0021】

【発明の効果】以上のように、本発明においては、素子の表面に、断面形状が所定の曲率の曲線であるリング状の溝を形成し、この溝の内部にMOS構造、もしくは浅い拡散によるp+n接合、もしくはショットキー接合を形成してガードリングとするように構成したことにより、従来の大きな曲率半径のガードリングを得るために必要とされた長時間の熱拡散を不要とし、従来よりも製造時間とコストを大幅に低減することができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す構造断面図。

【図2】図1の構造を実現するための製造方法の工程図の1。

【図3】図1の構造を実現するための製造方法の工程図の2。

【図4】図1の構造を実現するための製造方法の工程図の3。

【図5】他の製造方法の工程図の1。

【図6】他の製造方法の工程図の2。

【図7】他の製造方法の工程図の3。

【図8】本発明の第2の実施例を示す構造断面図。

【図9】本発明の第3の実施例を示す構造断面図。

【図10】本発明の第4の実施例を示す構造断面図。

【図11】従来のガードリングを持つnチャネル縦型パワーMOSチップ構造の平面図。

【図12】図11のA-A断面図。

【図13】ガードリングの作用を説明するための断面図。

【図14】ガードリングの作用を説明するための断面図。

【符号の説明】

1 …n型ドレイン領域

11…ドレイン電極

12、13、14…溝

2 …ガードリングのp型領域

22、222…p+領域

202…導体

33 …ソース電極

4、44…層間絶縁膜

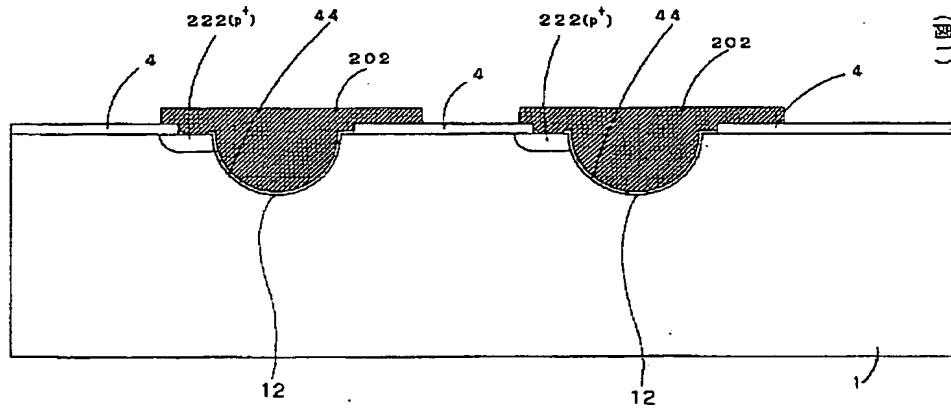
5 ...絶縁ゲート電極

6 ...p型領域

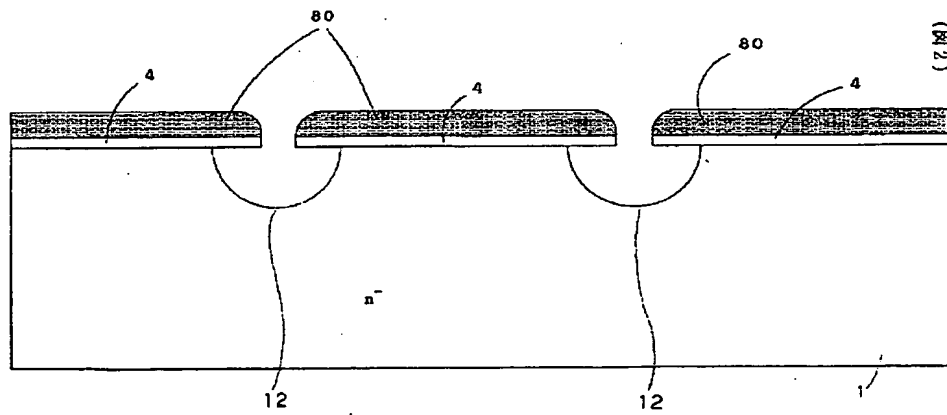
7 ...n+ソース領域

9、91、92...空乏層端を示す破線

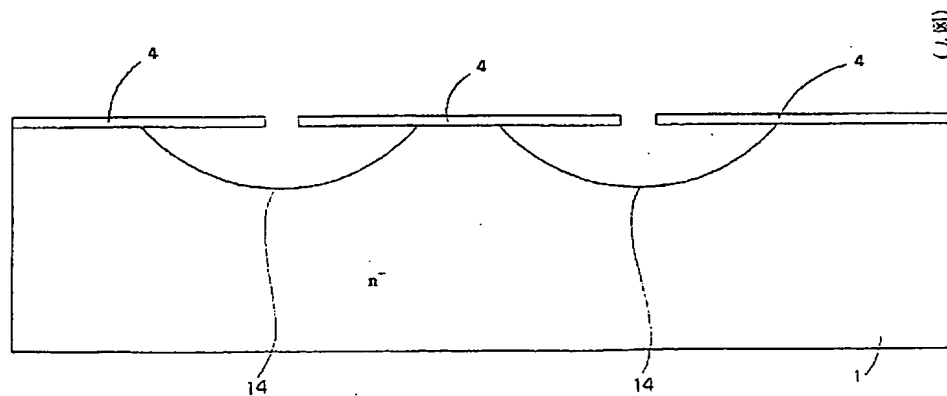
【図1】



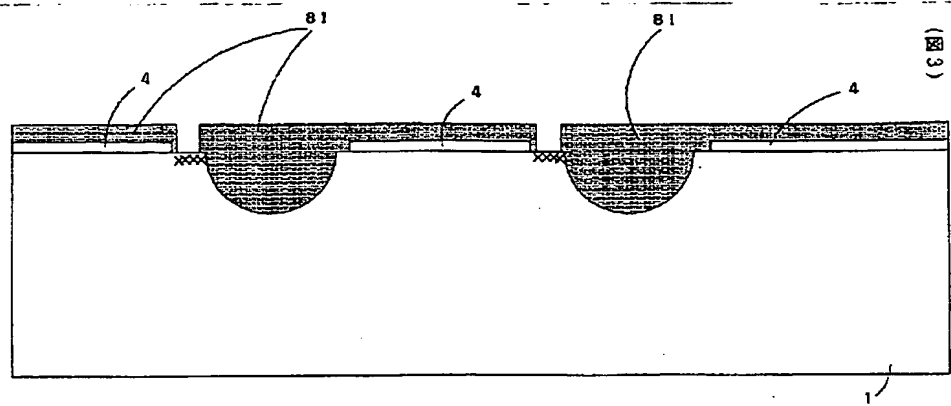
【図2】



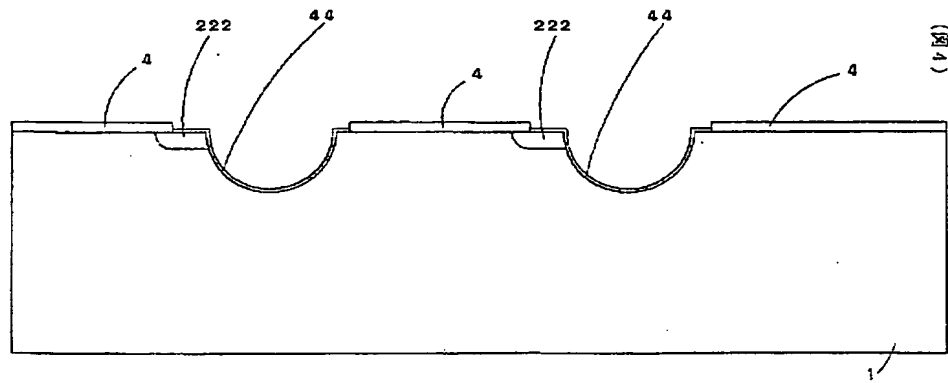
【図7】



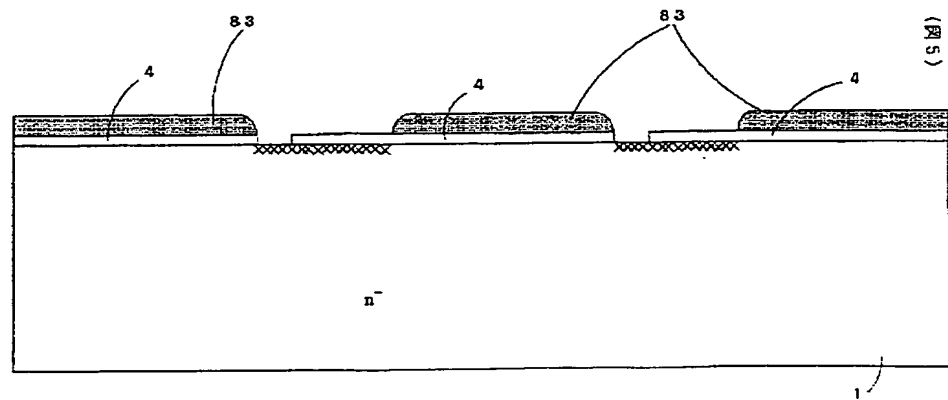
【図3】



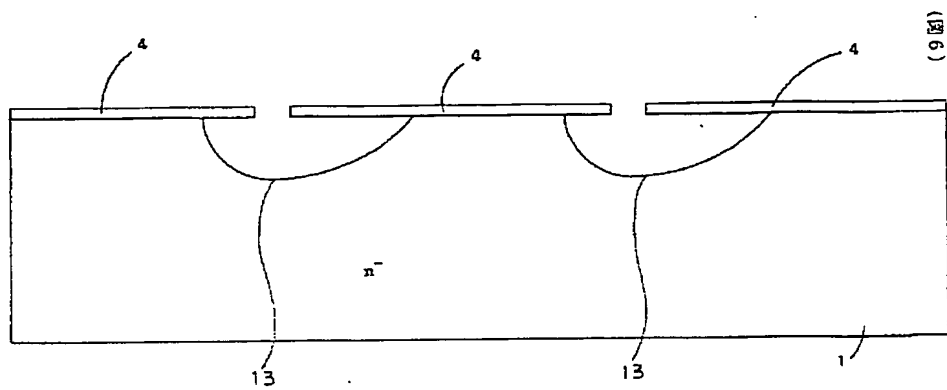
【図4】



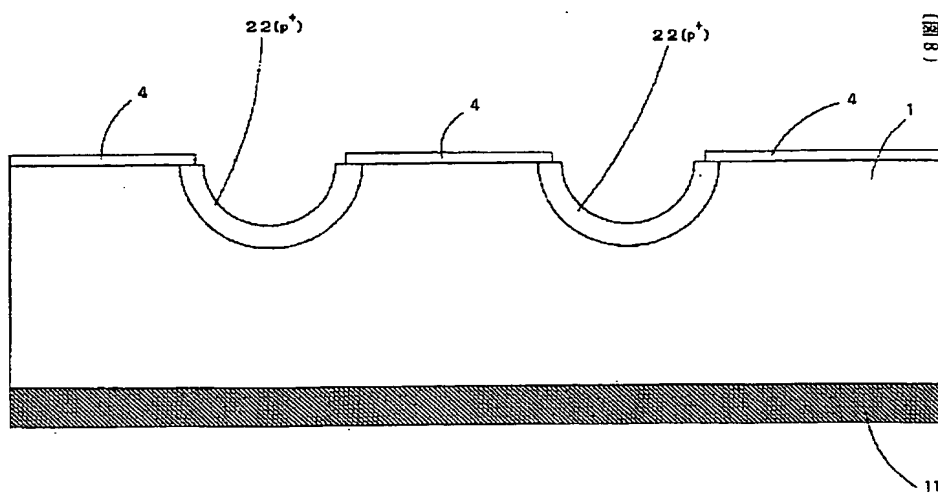
【図5】



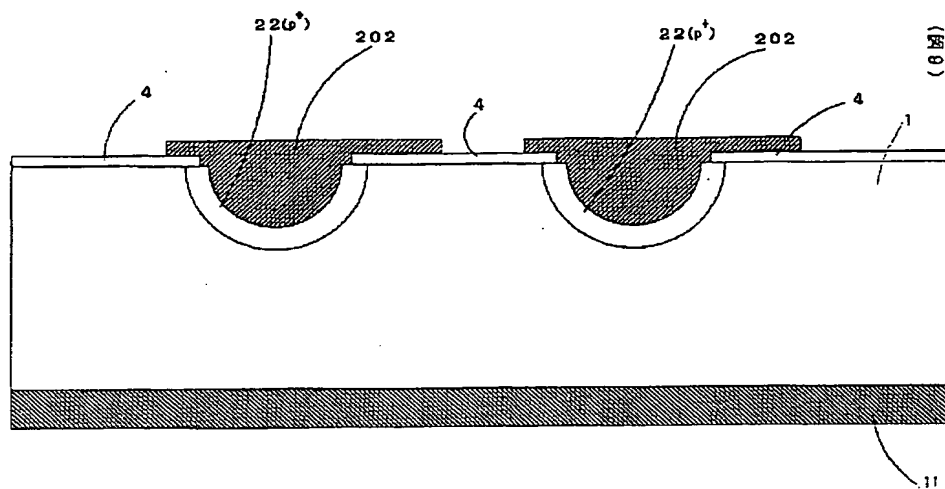
【図6】



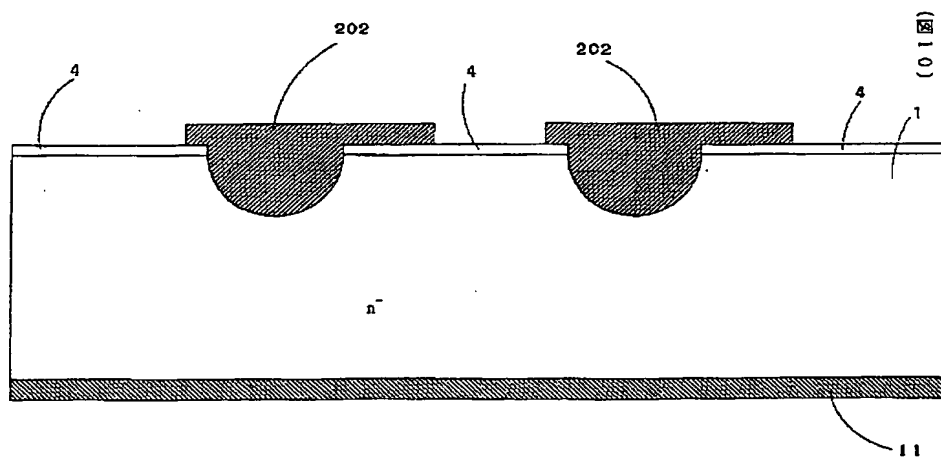
【図8】



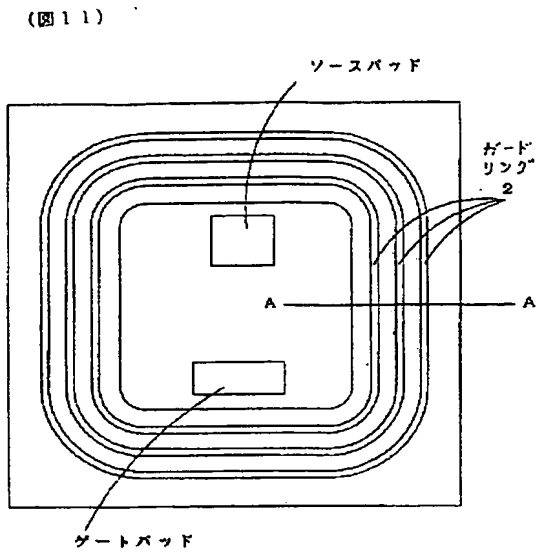
【図9】



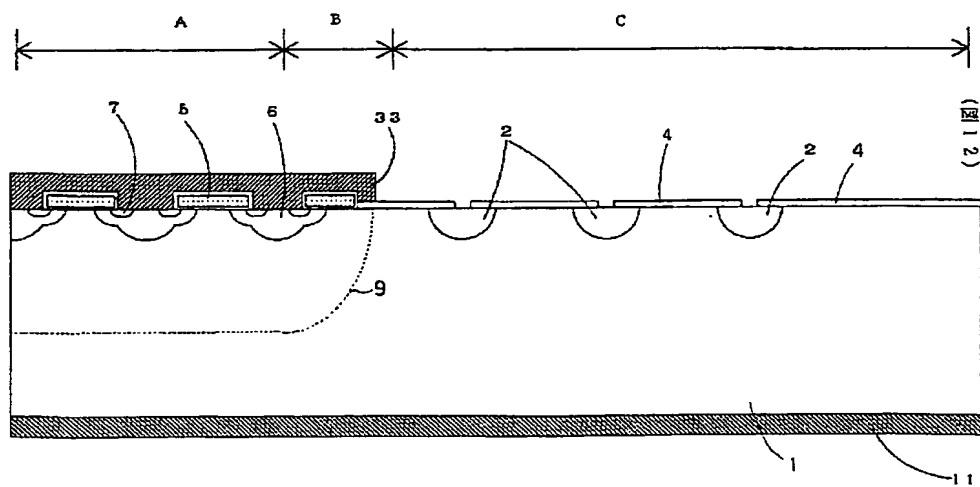
【図10】



【図11】

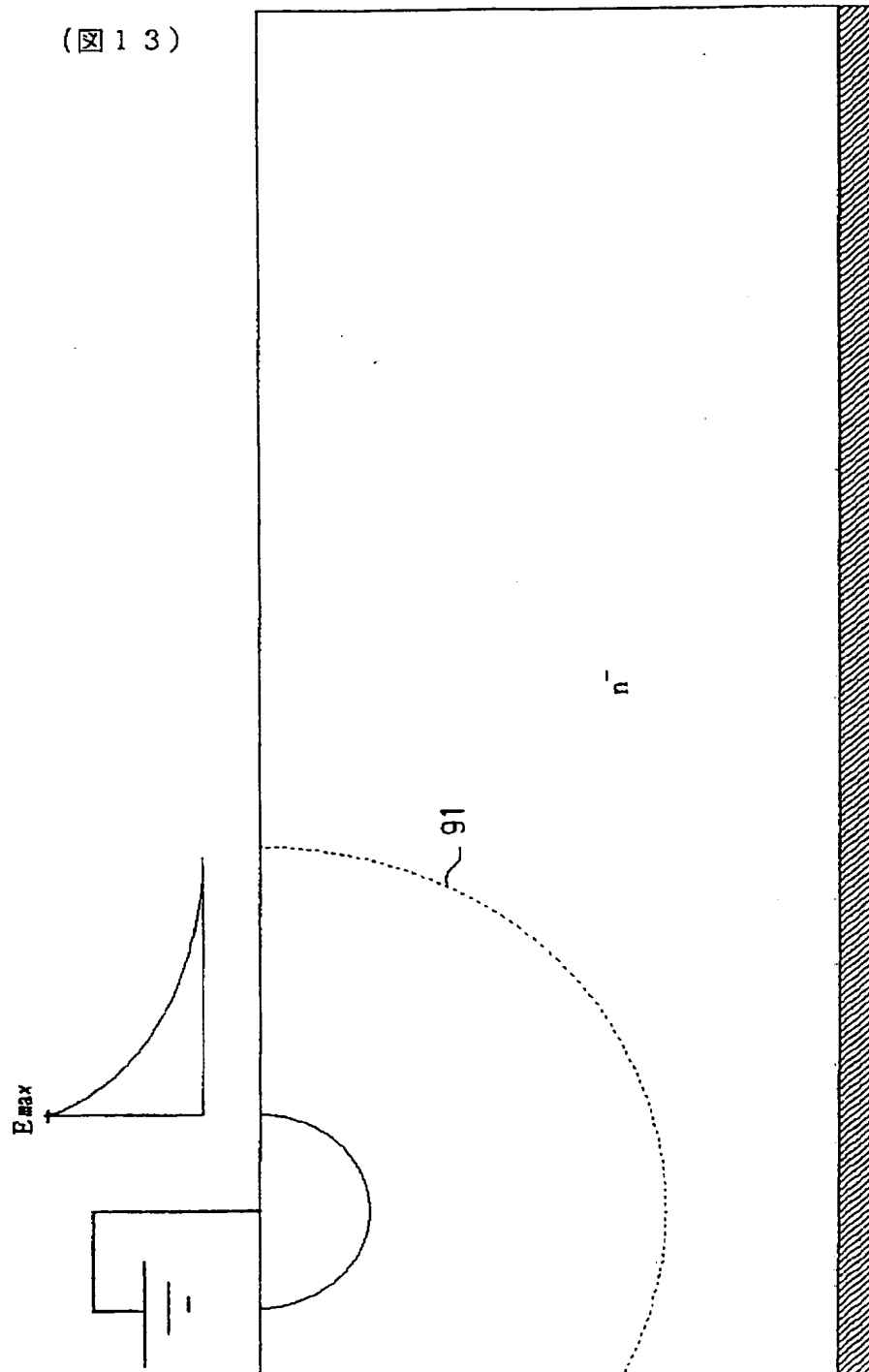


【図12】



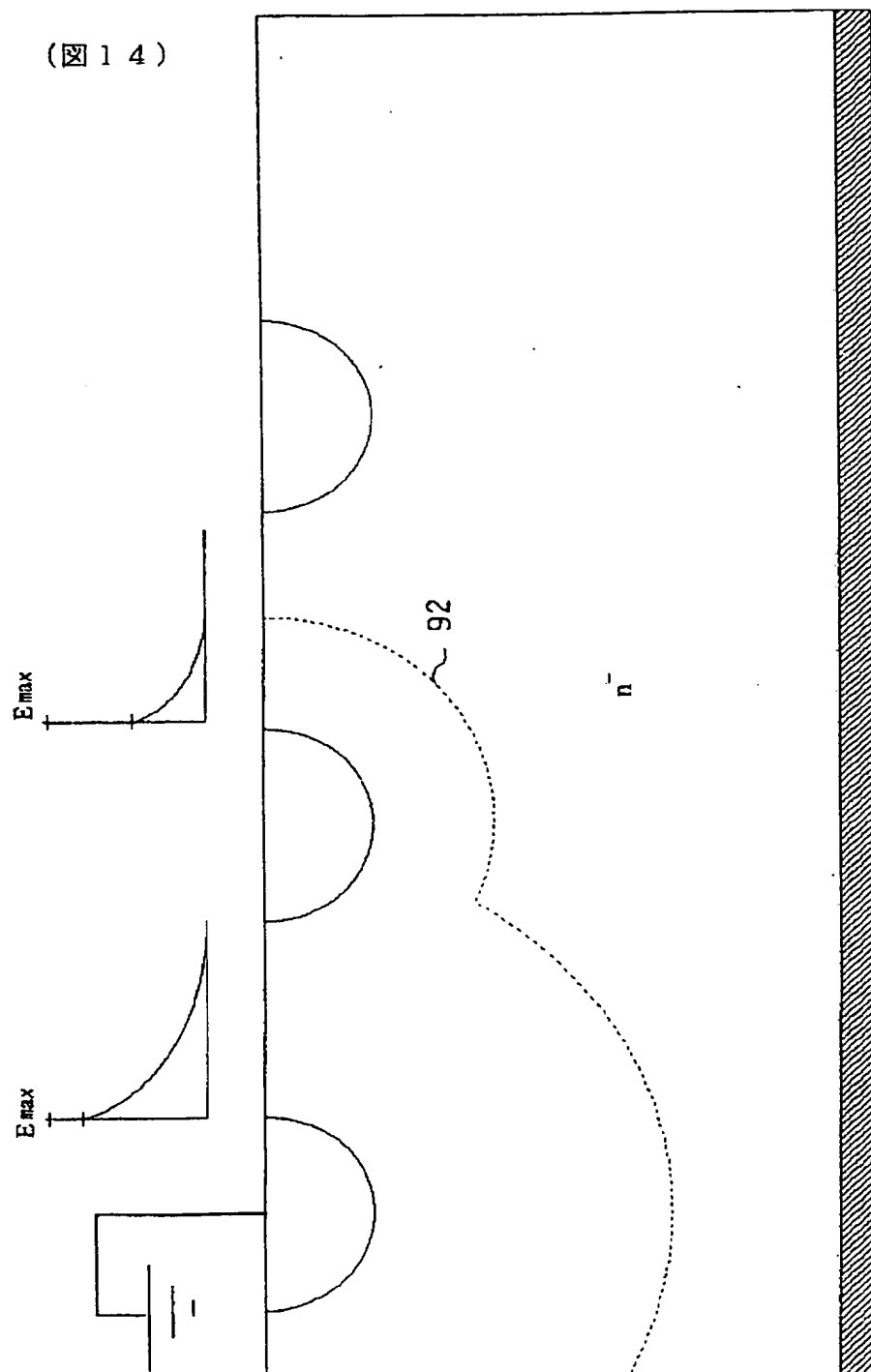
【図13】

(図13)



【図14】

(図14)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.